

DIALOG(R)File 347:JAPIO

(c) 1998 JPO & JAPIO. All rts. reserv.

03263117

CRYSTAL GROWTH OF SEMICONDUCTOR THIN FILM

PUB. NO.: 02-238617 [JP 2238617 A]

PUBLISHED: September 20, 1990 (19900920)

INVENTOR(s): TAKENAKA SATOSHI

APPLICANT(s): SEIKO EPSON CORP [000236] (A Japanese Company or Corporation), JP (Japan)

AFPL. NO.: 01-058908 [JP 8958908]

FILED: March 10, 1989 (19890310)

INTL CLASS: [5] H01L-021/20; H01L-021/324; H01L-021/336; H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R096 (ELECTRONIC MATERIALS -- Glass Conductors)

JOURNAL: Section: E, Section No. 1010, Vol. 14, No. 553, Pg. 123,
December 07, 1990 (19901207)

ABSTRACT

PURPOSE: To shorten an annealing time required for a solid growth operation by providing a second annealing process in which a heat treatment is executed at a temperature lower than that in a first annealing process.

CONSTITUTION: An amorphous silicon thin-film 1-2 is deposited on an amorphous insulating substrate 1-1; a heat treatment is executed, as a first annealing process, at a temperature of 700 to 800 deg.C for an extremely short time in order to form a seed of a crystal growth operation on the amorphous silicon thin film 1-2. Then, a second annealing process for a solid growth operation of the amorphous silicon thin film 1-2 by making use of seeds 1-3 as nuclei is executed. A solid-growth annealing temperature is set to a temperature which is at least lower than an annealing temperature of the first annealing process. Thereby, a thin-film semiconductor device such as a thin-film transistor or the like whose characteristic is excellent can be manufactured on the amorphous insulating substrate 1-1 such as a quartz substrate or a glass substrate by a simple method without a need for a complicated and high-cost apparatus.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-238617

⑪ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)9月20日

H 01 L 21/20
21/324
21/336
29/784

8624-5F

H 01 L 29/78

3 1 1 Z

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 半導体薄膜の結晶成長方法

⑮ 特 願 平1-58908

⑯ 出 願 平1(1989)3月10日

⑰ 発 明 者 竹 中 敏 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑱ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑲ 代 理 人 弁理士 鈴木 喜三郎 外1名

明細書

1. 発明の名称

半導体薄膜の結晶成長方法

2. 特許請求の範囲

非晶質絶縁基板上に、非晶質半導体薄膜を堆積させ、該非晶質半導体薄膜を700℃から800℃の温度で極めて短時間の熱処理することにより結晶成長の核を生成させる第1のアニール工程と、少なくとも前記第1のアニール工程よりも低い温度で熱処理することにより前記非晶質半導体薄膜を固相成長させる第2のアニール工程を有することとを特徴とする半導体薄膜の結晶成長方法。

3 発明の詳細な説明

〔産業上の利用分野〕

本発明は、石英基板あるいはガラス基板のような非晶質絶縁基板上に結晶性の優れた半導体薄膜を成長させる方法に関する。

〔従来の技術〕

非晶質絶縁基板あるいは非晶質絶縁膜上に、結晶方位の揃った結晶粒径の大きな多結晶シリコン

薄膜、あるいは単結晶シリコン薄膜を形成する方法は、SOI(Silicon On Insulator)技術として知られている。(参考文献 SOI構造形成技術、産業図書)。大きく分類すると、再結晶化法、エピタキシャル法、絶縁層埋め込み法、貼り合わせ法という方法がある。再結晶化法には、レーザーアニールあるいは電子ビームアニールによりシリコンを溶融再結晶化させる方法と、溶融する温度までは昇温させずに固相成長させる固相成長法の2つに分類される。比較的低温で再結晶化できるという点で固相成長法が優れている。550℃の低温熱処理にもかかわらずシリコン薄膜の結晶粒が成長したという結果も報告されている。(参考文献 IEEE Electron Device Letters, vol. EDL-8, No. 8, p361, August 1987)。

〔発明が解決しようとする課題〕

前記固相成長法においては、結晶成長の始点となるシードが必要となる。一般的に、固相成長の

特開平 2-238617(2)

ための活性化エネルギーは小さいが、核生成のための活性化エネルギーは大きいことが知られている。従って、大きな結晶粒径を持つ結晶性の優れた半導体薄膜を得るためには、核発生密度を極力低く抑え、低い温度の熱処理によってゆっくりと結晶成長させなければならない。しかし、熱処理温度が低すぎると核生成のために例えば数百時間という長い時間を必要とし実用的でない。

本発明は、非晶質絶縁基板上に成膜された非晶質シリコン薄膜を固相成長させる場合に於て、上述のような長時間アニールを必要とする欠点を解決し、短時間の熱処理により、結晶粒径が大きく、欠陥の少ない結晶性の優れたシリコン薄膜を成長させ、石英基板あるいはガラス基板のような非晶質絶縁基板上に、複雑で高価な装置を必要としない簡単な方法で特性の優れた薄膜トランジスタなどのような薄膜半導体装置を作製する方法を提供するものである。

【課題を解決するための手段】

本発明の半導体薄膜の結晶成長方法は、非晶質

絶縁基板上に、非晶質半導体薄膜を堆積させ、該非晶質半導体薄膜を700℃から800℃の温度で極めて短時間の熱処理することにより結晶成長の核を生成させる第1のアニール工程と、少なくとも前記第1のアニール工程よりも低い温度で熱処理することにより前記非晶質半導体薄膜を固相成長させる第2のアニール工程を有することを特徴とする。

【実施例】

第1図(a)に於て、1-1は非晶質絶縁基板である。石英基板あるいはガラス基板などが用いられる。SiO₂で覆われたSi基板を用いることもある。石英基板あるいはSiO₂で覆われたSi基板を用いる場合は1200℃の高温プロセスにも耐えることができるが、ガラス基板を用いる場合は軟化温度が低いため約600℃以下の低温プロセスに制限される。はじめに非晶質絶縁基板1-1上に非晶質シリコン薄膜1-2を堆積させる。該非晶質シリコン薄膜1-2は一様で、微小な結晶子は含まれておらず結晶成長の核が全

く存在しないことが望ましい。LPCVD法の場合は、デポ温度がなるべく低くて、デポ速度が早い条件が適している。シランガス(SiH₄)を用いる場合は500℃～560℃程度、ジシランガス(Si₂H₆)を用いる場合は300℃～500℃程度のデポ温度で分解堆積が可能である。トリシランガス(Si₃H₈)は分解温度がより低い。デポ温度を高くすると堆積した膜が多結晶になるので、Siイオン注入によって一旦非晶質化する方法もある。プラズマCVD法の場合は、基板温度が500℃以下でも成膜できる。また、デポ直前に水素プラズマあるいはアルゴンプラズマ処理を行えば、基板表面の清浄化と成膜を連続的に行うことができる。光面起CVD法の場合も500℃以下の低温デポ及び基板表面の清浄化と成膜を連続的に行うことができる点で効果的である。EB蒸着法などのような高真空蒸着法の場合は膜がポーラスであるために大気中の酸素を膜中に取り込み易く、結晶成長の妨げとなる。このことを防ぐために、真空雰囲気から取り出す前に300℃

～500℃程度の低温熱処理を行い膜を緻密化させることが有効である。スパッタ法の場合も高真空蒸着法の場合と同様である。

この様にして成膜された核を含まない非晶質シリコン薄膜に、結晶成長のシードを形成するために700℃～800℃の温度できわめて短時間の熱処理を行い第1のアニール工程とする。その方法としては、通常の炉アニールの他に、ランプアニール、あるいは赤外線アニールなどの方法がある。アニール雰囲気としては窒素ガスあるいはアルゴンガスあるいはヘリウムガスなどを用いる。アニール時間は数十秒、長くても数分とする。この理由は、核の発生密度をできるだけ少なくしたいからである。この様にして形成されたシードを第1図(b)に1-3で示す。図ではシードが非晶質絶縁基板1-1と非晶質シリコン薄膜1-2との界面に生成されたように描かれているが、非晶質シリコン薄膜1-2の表面に生成されることも考えられる。

次に、前記シード1-3を核として、前記非晶

特開平 2-238617(3)

質シリコン薄膜1-2を、固相成長させる第2のアニール工程を行う。固相成長方法は、石英管による炉アニールが便利である。アニール雰囲気としては、窒素ガス、水素ガス、アルゴンガス、ヘリウムガスなどを用いる。1×10⁻⁶から1×10⁻¹ Torrの高真空雰囲気アニールを行ってもよい。固相成長アニール温度は少なくとも前記第1のアニール工程のアニール温度よりも低温に設定する。従って、およそ500℃～700℃とする。低温アニールでは選択的に、結晶成長の活性化エネルギーの小さな結晶方位を持つ結晶粒のみが成長し、しかもゆっくりと大きく成長する。前記非晶質シリコン薄膜1-2の固相成長は、前記シード1-3と前記非晶質シリコン薄膜1-2との接触面から始まり、この部分を中心として放射状に進む。固相成長が進行し、隣合う2個のシードの間で、両方向から成長してきた結晶粒がぶつかり合い、結晶粒界1-5が形成された様子を第1図(c)に示す。このようにして大粒径多結晶シリコン薄膜が作製される。

-7-

いる場合は、熱酸化法によることができる。該熱酸化法にはdry酸化法とwet酸化法とがあるが、酸化温度は1000℃以上と高いが膜質が優れていることからdry酸化法の方が適している。

次に第2図(d)に示されるように、ゲート電極2-6を形成する。該ゲート電極材料としては多結晶シリコン薄膜、あるいはモリブデンシリサイド、あるいはアルミニウムやクロムなどのような金属膜、あるいはITOやSnO₂などのような透明性導電膜などを用いることができる。成膜方法としては、CVD法、スパッタ法、真空蒸着法、等の方法があるが、ここでの詳しい説明は省略する。

続いて第2図(e)に示すように、前記ゲート電極2-6をマスクとして不純物をイオン注入し、自己整合的にソース領域2-7およびドレイン領域2-8を形成する。前記不純物としては、N_c hトランジスタを作製する場合はP⁺あるいはAs⁺を用い、P_c hトランジスタを作製する場合はP⁺等を用いる。不純物添加方法としては、イ

本発明を用いて作製した大粒径多結晶シリコン薄膜を、薄膜トランジスタに応用した例を第2図にしたがって説明する。第1図(c)に示すように、固相成長させて得られた大粒径多結晶シリコン薄膜基板を第2図(a)に示す。2-1は非晶質絶縁基板である。2-2は固相成長により形成された大粒径多結晶シリコン薄膜である。2-3はシード、2-4は結晶粒界をしめす。次に前記シリコン薄膜をフォトリソグラフィ法によりパターンニングして第2図(b)に示すように島状にする。次に第2図(c)に示されているように、ゲート酸化膜2-5を形成する。該ゲート酸化膜の形成方法としてはLPCVD法、あるいは光励起CVD法、あるいはプラズマCVD法、ECRプラズマCVD法、あるいは高真空蒸着法、あるいはプラズマ酸化法、あるいは高圧酸化法などのような500℃以下の低温方法がある。該低温方法で成膜されたゲート酸化膜は、熱処理することによってより緻密で界面準位の少ない優れた膜となる。非晶質絶縁基板2-1として石英基板を用

-8-

オン注入法の他に、レーザードーピング法あるいはプラズマドーピング法などの方法がある。2-9で示される矢印は不純物のイオンビームを表している。前記非晶質絶縁基板2-1として石英基板を用いた場合には熱拡散法を使うことができる。不純物濃度は、1×10¹⁸から1×10²⁰ cm⁻³程度とする。

続いて第2図(f)に示されるように、層間絶縁膜2-10を積層する。該層間絶縁膜材料としては、酸化膜あるいは窒化膜などを用いる。絶縁性が良好ならば膜厚はいくらでもよいが、数千人から数μm程度が普通である。窒化膜の形成方法としては、LPCVD法あるいはプラズマCVD法などが簡単である。反りには、アンモニアガス(NH₃)とシランガスと窒素ガスとの混合ガス、あるいはシランガスと窒素ガスとの混合ガスなどを用いる。

ここで、水素プラズマ法、あるいは水素イオン注入法、あるいはプラズマ窒化膜からの水素の拡散法などの方法で水素イオンを導入すると、ゲ-

特開平 2-238617(4)

ト酸化膜界面などに存在するダングリングボンドなどの欠陥が不活性化される。この様な水素化工程は、層間絶縁膜 2-9 を積層する前におこなってもよい。

次に第 2 図 (g) に示すように、前記層間絶縁膜及びゲート絶縁膜にコンタクトホールを形成し、コンタクト電極を形成しソース電極 2-11 およびドレイン電極 2-12 とする。該ソース電極及びドレイン電極は、アルミニウムなどの金属材料で形成する。この様にして薄膜トランジスタが形成される。

〔発明の効果〕

従来、まったく核を含まない非晶質シリコン薄膜を固相成長させるためには高温の熱処理か、あるいは長時間の熱処理が必要であった。また、核を生成させるためにレーザアニール、あるいは電子ビームアニールなどのような高価な装置が必要であった。しかしながら本発明によると、熱処理温度を 2 段階に分けることにより、核生成のためのきわめて短時間の熱処理の第 1 のアニール工程

と、前記核をシードとして非晶質シリコン薄膜を固相成長させるために前記第 1 のアニール工程よりも低い温度で熱処理する第 2 のアニール工程とに分けたので、固相成長のために要していたアニール時間を大幅に短縮させることができる。また、レーザアニール装置のように高価で大がかりな装置を必要としないので製造費用を非常に低く抑えることができる。

前記第 1 のアニール工程と、第 2 のアニール工程は、同一炉で行うこともできるので、核生成と固相成長とを連続的に行うことも可能である。

非晶質絶縁基板上に結晶性の優れたシリコン薄膜を作製することが可能になったので S O I 技術の発展に大きく寄与するものである。工程数はまったく増えない。600℃以下の低温のプロセスでも作製が可能なので、価格が安くて耐熱温度が低いガラス基板をもちいることができる。優れたシリコン薄膜が得られるのにかかわらずコストアップとはならない。

本発明によって得られた大粒徑多結晶シリコン

-11-

-12-

薄膜を用いて薄膜トランジスタを作成すると、優れた特性が得られる。従来に比べて、薄膜トランジスタの ON 電流は増大し OFF 電流は小さくなる。またスレッショルド電圧も小さくなりトランジスタ特性が大きく改善される。

非晶質絶縁基板上に優れた特性の薄膜トランジスタを作製することが可能となるので、ドライバ回路を同一基板上に集積したアクティブマトリクス基板に応用した場合にも十分な高運動作が実現される。さらに、電源電圧の低減、消費電流の低減、信頼性の向上に対して大きな効果がある。また、600℃以下の低温プロセスによる作製も可能なので、アクティブマトリクス基板の低価格化及び大面積化に対してもその効果は大きい。

本発明を、光電変換素子とその走査回路を同一チップ内に集積した密着型イメージセンサーに応用した場合には、読み取り速度の高速化、高解像度化、さらに階調をとる場合に非常に大きな効果をうみだす。高解像度化が達成されるとカラー読み取り用密着型イメージセンサーへの応用も容易

となる。もちろん電源電圧の低減、消費電流の低減、信頼性の向上に対してもその効果は大きい。また低温プロセスによって作製することができるので、密着型イメージセンサーチップの長尺化が可能となり、一本のチップで A4 サイズあるいは A3 サイズの様な大型ファクシミリ用の読み取り装置を実現できる。従って、センサーチップの二本縫ぎのような手数がかかり信頼性の悪い技術を回避することができ、実装歩留りも向上される。

石英基板やガラス基板だけではなく、サファイア基板 (Al_2O_3) あるいは $MgO \cdot Al_2O_3$ 、BP、CaF₂等の結晶性絶縁基板も用いることができる。

以上薄膜トランジスタを例として説明したが、バイポーラトランジスタあるいはヘテロ接合バイポーラトランジスタなど薄膜を利用した素子に対しても、本発明を応用することができる。また、三次元デバイスのような S O I 技術を利用した素子に対しても、本発明を応用することができる。

4. 図面の簡単な説明

-13-

-94-

-14-

特開平 2-238617(5)

第1図(a)から(c)は、本発明における半導体薄膜の結晶成長方法を示す工程断面図である。

第2図(a)から(g)は、本発明を、薄膜トランジスタに応用した場合の例を示す薄膜トランジスタの工程図である。

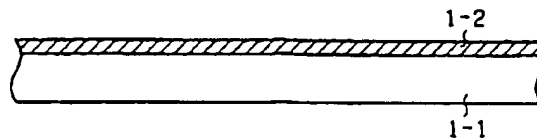
- 1-1 : 非晶質絶縁基板
- 1-2 : 非晶質半導体薄膜
- 1-3 : シード
- 1-4 : 固相成長された非晶質半導体薄膜
- 1-5 : 結晶粒界

以 上

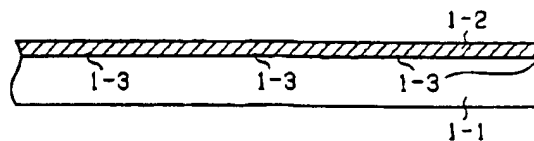
出願人 セイコーエプソン株式会社

代理人弁理士 鈴木喜三郎 (他1名)

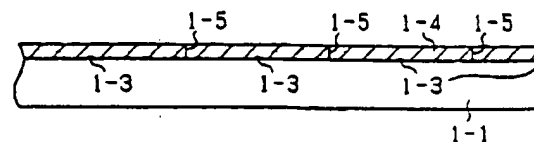
-15-



(a)



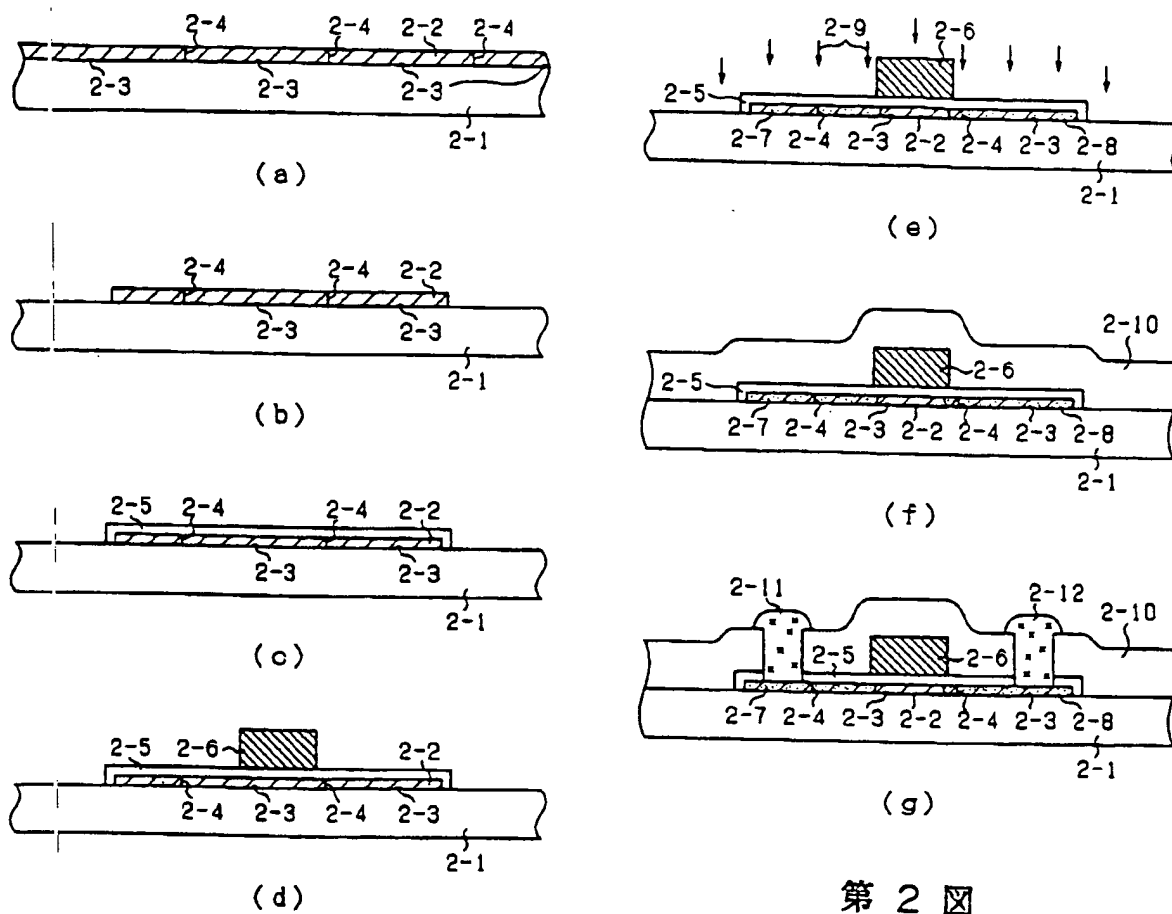
(b)



(c)

第 1 図

特開平 2-238617(6)



第 2 図

第 2 図